

PAT-NO: JP407273340A
DOCUMENT-IDENTIFIER: JP 07273340 A
TITLE: SOI TYPE TRANSISTOR
PUBN-DATE: October 20, 1995

INVENTOR-INFORMATION:
NAME
EGAWA, YUICHI

ASSIGNEE-INFORMATION:
NAME NIPPON STEEL CORP COUNTRY
N/A

APPL-NO: JP06080865
APPL-DATE: March 28, 1994

INT-CL (IPC): H01L029/786, H01L029/78

ABSTRACT:

PURPOSE: To take a substrate electric potential of an MOS transistor which is formed on an SOI substrate.

CONSTITUTION: Channel regions 4a, 4b and a source/drain diffusion layer 5 are formed on an SOI substrate and a gate electrode 9 is formed to cover the channel region 4a alone. The channel region 4b which is not covered with the gate electrode 9 is connected to an extraction electrode 13 through a channel contact 12 and unnecessary charge accumulated in a substrate region of the channel regions 4a, 4b is abstracted by the extraction electrode 13.

COPYRIGHT: (C)1995, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-273340

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl.⁸

H 01 L 29/786
29/78

識別記号

府内整理番号

F I

技術表示箇所

9056-4M

H 01 L 29/ 78

3 1 1 X

3 0 1 H

3 0 1 F

審査請求 未請求 請求項の数1 FD (全 5 頁)

(21)出願番号

特願平6-80865

(22)出願日

平成6年(1994)3月28日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 江川 雄一

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

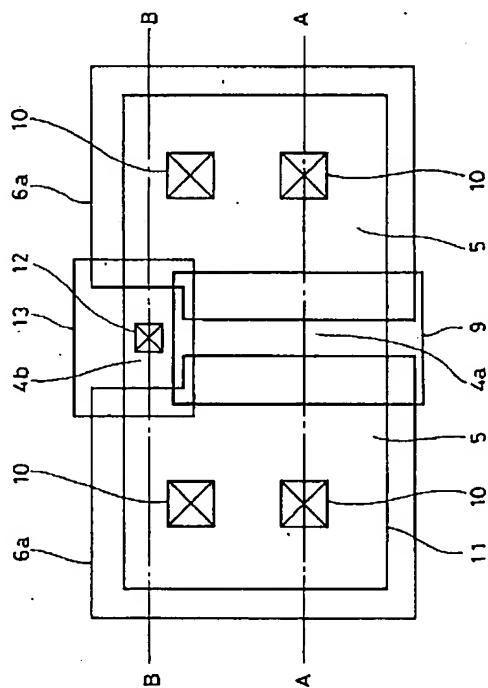
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 SOI型トランジスタ

(57)【要約】

【目的】 SOI基板に形成されたMOSトランジスタの基板電位を取る。

【構成】 SOI基板上にチャネル領域4a、4b及びソース／ドレイン拡散層5が形成されており、ゲート電極9はチャネル領域4aのみを覆うように形成されている。ゲート電極9によって覆われていないチャネル領域4bは、チャネルコンタクト12を介して引き出し電極13に接続されており、この引き出し電極13によって、チャネル領域4a、4bの基板領域にたまつた不要な電荷を引き抜く。



1

【特許請求の範囲】

【請求項1】 シリコン基板上に絶縁層を介して形成された半導体シリコン層からなる基板部にソース拡散層、ドレイン拡散層及びそれらの間のチャネル領域がそれぞれ形成されたSOI型トランジスタにおいて、上記チャネル領域が、上記SOI型トランジスタのゲート電極に対向しない領域部分を有しており、上記領域部分において上記チャネル領域が上記ゲート電極とは別の電極に接続されていることを特徴とするSOI型トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、SOI(Silicon On Insulator)基板上に形成された電界効果型トランジスタ(「SOI型トランジスタ」と称する。)に関する。

【0002】

【従来の技術】 近年、SOI型トランジスタは、例えば特開平3-208373号公報に記載されているように、3次元集積回路、密着型センサ、平面ディスプレイ装置の構成要素として注目されている。

【0003】 このSOI型トランジスタは、半導体ウェハ上に直接形成された従来のバルクMOSトランジスタに比べ、寄生接合容量が小さいために回路動作速度を向上できる、ラッチアップの防止の効果によってソフトエラーに対する耐性を向上できるなどの利点があり、数多くの研究開発が行われている。

【0004】

【発明が解決しようとする課題】 しかしながら、SOI基板上にMOSトランジスタを形成した場合、MOSトランジスタの基板電位を取ることが困難であり、トランジスタの基板部がフローティング状態となる。

【0005】 このため、図8に示すように、ドレイン電流 I_D を増加させていくと、チャネルキャリアのインパクトイオン化などによって発生した電子-正孔対のうち、nMOSトランジスタの場合は正孔が基板部にたまり、基板部を正にバイアスさせてしきい値電圧を降下させ、図中Aの部分に示すように、ドレイン電流 I_D が急に増加するという現象が発生していた。

【0006】 このトランジスタ基板部のフローティングに起因するドレイン電流 I_D の折れ曲がり現象(キンク現象)は、回路設計に大きな支障をもたらしていた。

【0007】 キンク現象を防止するため、エピタキシャル成長などの特別な製造方法を用いて基板電位を取る方法もあるが、この場合には製造コストの上昇を招いてしまうという欠点がある。

【0008】 そこで、本発明の目的は、SOI基板上に形成されたMOSトランジスタの基板電位を簡単な方法で取ることが可能なSOI型トランジスタを提供することである。

【0009】

2

【課題を解決するための手段】 上述した課題を解決するために、本発明では、シリコン基板上に絶縁層を介して形成された半導体シリコン層からなる基板部にソース拡散層、ドレイン拡散層及びそれらの間のチャネル領域がそれぞれ形成されたSOI型トランジスタにおいて、上記チャネル領域が、上記SOI型トランジスタのゲート電極に対向しない領域部分を有しており、上記領域部分において上記チャネル領域が上記ゲート電極とは別の電極に接続されている。

【0010】

【作用】 MOSトランジスタのチャネル領域の一部をゲート電極とは別の電極に接続することにより、その電極を通じて、トランジスタの基板部にたまつた電荷を引き抜くことができるので、SOI型トランジスタにおいて従来避けることができなかつたキンク現象を抑制できる。

【0011】

【実施例】 以下、本発明を実施例につき添付図面を参照しながら説明する。

20 【0012】 図1は、本発明の一実施例によるMOSトランジスタのパターンを示す概略平面図である。また、図2は、図1に示すMOSトランジスタの概略平面図をA-A線に沿って切断した概略断面図であり、図3は、図1に示すMOSトランジスタの概略平面図をB-B線に沿って切断した概略断面図である。

【0013】 図1～図3に示すように、素子領域11内には、ソース/ドレイン電極6aによってパターニングされたチャネル領域4a、4bを有するMOSトランジスタが形成されており、チャネル領域4a上にはゲート酸化膜8を介してゲート電極9が形成され、チャネル領域4bはチャネルコンタクト12を介して引き出し電極13に接続されている。

【0014】 このMOSトランジスタのチャネル領域4aの部分の断面構造は、図2に示すように、P型シリコン基板1上のシリコン酸化膜2上にチャネル領域4a及びソース/ドレイン拡散層5が形成されており、チャネル領域4a及びソース/ドレイン拡散層5はシリコン酸化膜2上に形成された素子分離酸化膜3によって素子分離されている。このため、チャネル領域4aはP型シリコン基板1と完全に絶縁され電気的に浮いた状態となっている。ソース/ドレイン拡散層5上には、ソース/ドレイン拡散層5に不純物を導入するためのソース/ドレイン電極6aが形成され、層間絶縁膜7内に形成されたソース/ドレインコンタクト10を介して図示しないA1配線に接続されている。チャネル領域4a上には、ゲート絶縁膜8を介してゲート電極9が形成されている。

【0015】 チャネル領域4bの部分の断面構造は、図3に示すように、P型シリコン基板1上のシリコン酸化膜2上にチャネル領域4b及びソース/ドレイン拡散層5が形成されており、チャネル領域4b及びソース/ド

50

レイン拡散層5はシリコン酸化膜2上に形成された素子分離酸化膜3によって素子分離されている。このため、チャネル領域4 bはP型シリコン基板1と完全に絶縁され電気的に浮いた状態となっている。ソース／ドレイン拡散層5上には、ソース／ドレイン拡散層5に不純物を導入するためのソース／ドレイン電極6 aが形成されている。チャネル領域4 bは、層間絶縁膜7内に形成されたチャンネルコンタクト1 2を介して引き出し電極1 3に接続され、電気的に浮いた状態となっているチャネル領域4 a、4 bの電位を固定できるようになっている。

【0016】次に、上記MOSトランジスタの製造方法を図4～図7を参照しながら説明する。

【0017】図4～図7は、上記MOSトランジスタの製造方法を工程順に示す概略断面図である。

【0018】まず、図4に示すように、厚みが5 μm のP型シリコン基板1、厚みが0.5 μm のシリコン酸化膜2、厚みが0.1 μm のP型シリコン層4で構成されるSOI基板のP型シリコン層4をLOCOS法などの方法によって選択的に熱酸化することにより、厚みが2000 Åの素子分離酸化膜3を形成する。そして、砒素などのN型の不純物が高濃度でドープされた多結晶シリコン膜6をCVDなどの方法によって全面に堆積する。多結晶シリコン膜6に不純物を高濃度でドーピングする方法としては、多結晶シリコン膜6を堆積した後にイオン注入を行う方法がある。

【0019】次に、図5に示すように、多結晶シリコン膜6をリソグラフィー技術などによってパターニングすることによって、ソース／ドレイン電極6 aを形成する。

【0020】次に、図6に示すように、熱酸化によって、厚みが150 Åのゲート絶縁膜8を形成すると同時に、ソース／ドレイン電極6 aの中のN型の不純物をP型シリコン層4に拡散させてソース／ドレイン拡散層5を形成する。そして、CVDなどの方法によって、多結晶シリコン膜を2000 Åの厚みに堆積した後、リソグラフィー技術などによりパターニングして、図1に示すチャネル領域4 a、4 bのうちチャネル領域4 aのみを覆うようにゲート電極9を形成する。

【0021】次に、図7に示すように、層間絶縁膜7を全面に形成した後、ソース／ドレインコンタクト1 0を形成すると同時に、図1に示すチャネル領域4 b上にチャネルコンタクト1 2を形成した後、それぞれA 1配線1 4及び引き出し電極1 3を形成する。

【0022】以上の製造工程によって、チャネル領域4 a、4 bのうちの一部の領域のみにゲート電極を形成することが可能となり、ゲート電極によって覆われないチャネル領域4 bに引き出し電極1 3を特別の工程を追加

することなく形成できる。

【0023】以上の実施例ではNチャネルMOSトランジスタについて説明したが、PチャネルMOSトランジスタでも同様に本発明は適用可能である。

【0024】

【発明の効果】本発明によれば、SOIトランジスタのチャネル領域の一部をゲート電極とは別の電極に接続することにより、トランジスタの基板領域にたまつた電荷を引き抜くことができるので、SOIトランジスタにおいて避けることができなかつたキンク現象を抑制できる。

【0025】また、エピタキシャル成長などの特別な製造技術を用いることなしにチャネル電位を固定できるので、トランジスタ特性の向上が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例によるMOSトランジスタのパターンを示す概略平面図である。

【図2】図1のA-A線に沿った概略断面図である。

【図3】図1のB-B線に沿った概略断面図である。

【図4】本発明の一実施例によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図5】本発明の一実施例によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

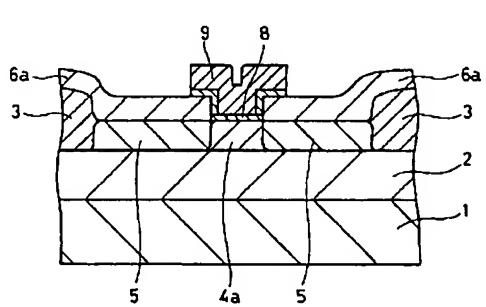
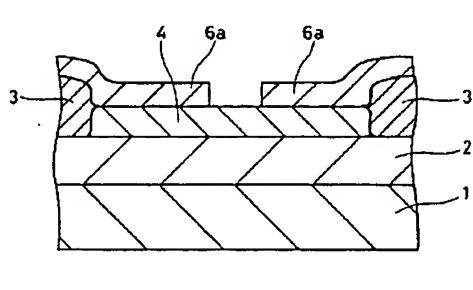
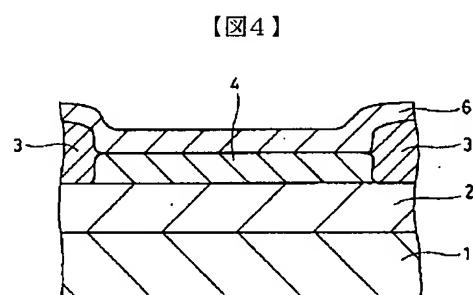
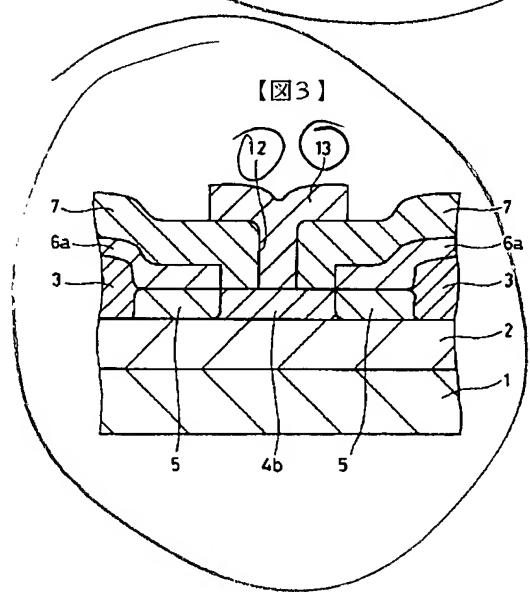
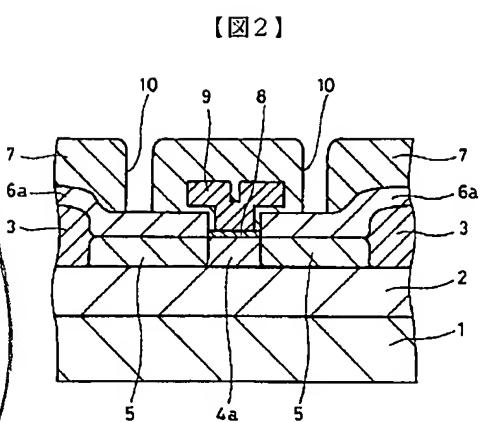
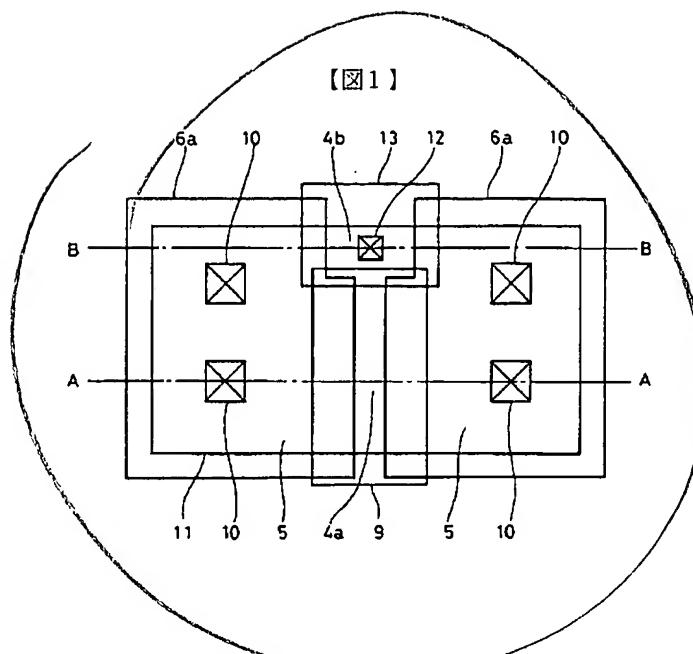
【図6】本発明の一実施例によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図7】本発明の一実施例によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

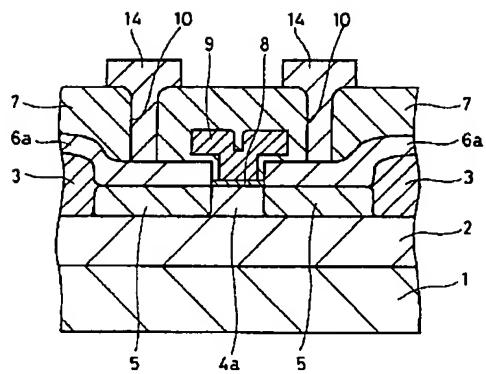
【図8】ゲート電圧 V_G をパラメータとしてドレイン電圧 V_D とドレイン電流 I_D との関係をプロットしたグラフである。

【符号の説明】

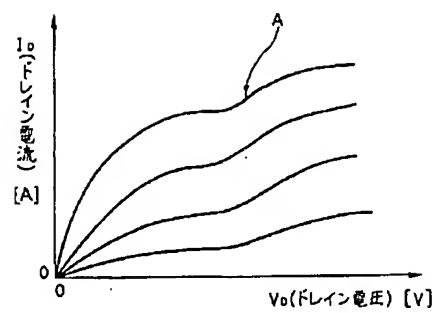
- 1 P型シリコン基板
- 2 シリコン酸化膜
- 3 素子分離酸化膜
- 4 P型シリコン層
- 4 a、4 b チャネル領域
- 5 ソース／ドレイン拡散層
- 6 多結晶シリコン膜
- 6 a ソース／ドレイン電極
- 7 層間絶縁膜
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 ソース／ドレインコンタクト
- 11 素子領域
- 12 チャネルコンタクト
- 13 引き出し電極
- 14 A 1配線



【図7】



【図8】



○()

○()